

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 9 9 5 7 6
Application Number:

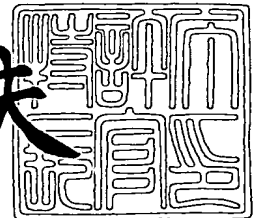
[ST. 10/C] : [J P 2 0 0 3 - 0 9 9 5 7 6]

出 願 人 ロ ー ム 株 式 会 社
Applicant(s):

2 0 0 4 年 3 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 6 2 3 3

【書類名】 特許願

【整理番号】 PR2-00333

【提出日】 平成15年 4月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 吉持 賢一

【特許出願人】

【識別番号】 000116024

【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地

【氏名又は名称】 ローム株式会社

【代理人】

【識別番号】 100087701

【弁理士】

【氏名又は名称】 稲岡 耕作

【選任した代理人】

【識別番号】 100101328

【弁理士】

【氏名又は名称】 川崎 実夫

【手数料の表示】

【予納台帳番号】 011028

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9401527

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

半導体基板の表層部に形成された第 1 導電型のチャネル領域と、
このチャネル領域を貫通して形成されたトレンチの縁部に形成された上記第 1 導電型とは異なる第 2 導電型のソース領域と、
上記トレンチの内壁面に沿って形成されたゲート酸化膜と、
上記トレンチ内において、上記ゲート酸化膜を挟んで上記チャネル領域に対向するように配置されたゲート電極とを含み、
上記トレンチの内壁面は、面方位が (100) である第 1 の内側壁面と、この第 1 の内側壁面とは面方位が異なる第 2 の内側壁面と、主たる面方位が上記第 1 の内側壁面より原子の面密度が大きい面方位である底面とを含んでおり、
上記ソース領域が、上記第 2 の内側壁面に沿う上記ゲート酸化膜近傍の領域を回避して形成されていることを特徴とする半導体装置。

【請求項 2】

上記半導体基板の表面は、面方位が (100) である面より原子の面密度が大きい面方位を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

上記半導体基板の表面の面方位が (110) であることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

上記トレンチが、上記半導体基板の表面および上記第 1 の内側壁面に沿ってほぼ平行に延びる複数のトレンチを含み、

隣接する 2 つの上記トレンチの間において、一方の上記トレンチの縁部に形成された上記ソース領域と他方の上記トレンチの縁部に形成された上記ソース領域との間に形成され、不純物の導入により低抵抗化された上記第 1 導電型の低抵抗領域をさらに含み、

上記低抵抗領域が、上記第 2 の内側壁面に沿って配置されていることを特徴と

する請求項 1 ないし 3 のいずれかに記載の半導体装置。

【請求項 5】

上記第 1 の内側壁面の上記半導体基板表面に沿う長さが、上記第 2 の内側壁面の上記半導体基板表面に沿う長さより長いことを特徴とする請求項 1 ないし 4 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOS FET などの半導体装置に関し、特に、スイッチング用途の半導体装置に関する。

【0002】

【従来の技術】

MOS FET (Metal Oxide Semiconductor Field Effect Transistor) には、シリコン基板の表層部に形成されたトレンチ(溝)を有する、いわゆるトレンチ型の MOS FET がある。MOS FET には、素子を構成するソース領域、ドレイン領域、チャネルが形成される領域、およびゲート電極を含むセルが多数形成されている。トレンチ型の MOS FET では、それぞれのセルにおいて、トレンチの内側壁面に沿ってチャネルが形成されるように構成されている。

【0003】

これにより、セル(素子)の微細化が可能となり、微細なセルを密に配することにより、単位面積あたりに含まれるセルの数を多くすることができる。このため、単位面積あたりのチャネルが形成される領域を広くすることができるので、オン抵抗の低減を図ることができる。

図 4 は、従来の MOS FET 51 の製造工程途中の状態を示す図解的な断面図である。シリコン基板の表面には、導電型が N-型のエピタキシャル層 52 が形成されている。エピタキシャル層 52 の上には、導電型が P-型の P-領域 53 が形成されている。P-領域 53 を貫通して、エピタキシャル層 52 の厚さ方向途中に至るトレンチ 54 が形成されている。トレンチ 54 の縁部には、導電型が N+型のソース領域 55 が形成されている。また、トレンチ 54 の内壁面に沿っ

て、酸化シリコンからなるゲート酸化膜 57 が設けられている。

【0004】

トレンチ 54 の内部には、不純物の導入により導電化されたポリシリコンからなるゲート電極 56 が設けられている。シリコン基板には図示しない電極が形成されており、この電極とソース領域 55 との間に一定の大きさの電圧を印加し、ゲート電極 56 を所定の電位にすることにより、ソース領域 55 とエピタキシャル層 52 との間に電流（ドレイン電流）を流すことができる。ドレイン電流は、P-領域 53 において、ゲート酸化膜 57 近傍をゲート酸化膜 57 に沿って流れる。

【0005】

シリコン基板は、表面の面方位が（100）であるものが用いられる。したがって、エピタキシャル層 52 の表面（シリコン基板の表面に平行な面）の面方位も（100）となる。また、P-領域 53 やソース領域 55 は、導電型がN-型のエピタキシャル層 52 の表層部に不純物を導入して形成されており、シリコン基板やエピタキシャル層 52 と同じ結晶学的方位を有している。

トレンチ 54 の内側壁面 54 s は、面方位が（100）になるように形成されている。このため、ドレイン電流は、P-領域 53 中を面方位が（100）である面（以下、「（100）面」という。）に沿って流れる。これにより、シリコン表面での電界効果が効率的に生じてチャンネルが形成されるので、オン抵抗の低減を図ることができる。

【0006】

このようなMOS FET 51 は、たとえば、下記特許文献 1 および 2 に開示されている。

【0007】

【特許文献 1】

特開平 10-154809 号公報

【特許文献 2】

特開平 10-154810 号公報

【0008】

【発明が解決しようとする課題】

ところが、近年、ゲート酸化膜 57 の薄膜化にともなって、ゲート酸化膜 57 による静電容量（以下、「ゲート容量 Q_g 」という。）が増大してきている。これにより、MOS FET 51 のスイッチング特性が悪くなり、消費電力が増大するという問題がある。

ゲート酸化膜 57 を厚くすれば、ゲート容量 Q_g を低減でき、MOS FET 51 のスイッチング特性を向上させることができるが、オン抵抗の増加を招く。すなわち、従来の MOS FET 51 では、オン抵抗を低減しつつスイッチング特性の向上を図ることができなかった。

【0009】

オン抵抗は、ゲート酸化膜 57 において P-領域 53 に隣接する部分の厚さを薄くすることにより低減できる。したがって、ゲート酸化膜 57 において、P-領域 53 に隣接する部分を薄くしつつ、他の部分を厚くすることにより、オン抵抗を低減しつつ、スイッチング特性の向上を図ることができる。しかし、このような構造は、以下のような理由により実現できなかった。

トレンチ 54 は、シリコン基板にほぼ垂直に形成されるので、トレンチ 54 の底面 54 b の主たる面方位は、内側壁面 54 s と同様（100）となる。ゲート酸化膜 57 は、トレンチ 54 の内面を熱酸化して形成されるが、同じ面方位を有する面は同じ厚さで酸化される。したがって、ゲート酸化膜 57 のうち、内側壁面 54 s に沿う部分と底面 54 b に沿う部分とは、ほぼ同じ厚さ、すなわち、シリコン結晶の（100）面を熱酸化させて得られる厚さ $d_{(100)}$ となる。したがって、ゲート酸化膜 57 のうち、内側壁面 54 s に沿う部分の単位面積あたりの容量 C_{GS} と、底面 54 b に沿う部分の単位面積あたりの容量 C_{GD} とは、ほぼ等しくなる。

【0010】

このため、ゲート酸化膜 57 の厚さを厚くすれば、ゲート容量 Q_g を低減してスイッチング特性の向上を図ることができるが、オン抵抗が高くなってしまう。また、ゲート酸化膜 57 の厚さを薄くすれば、オン抵抗を低減できるが、ゲート容量 Q_g が大きくなりスイッチング特性が悪くなる。

そこで、この発明の目的は、スイッチング特性の向上を図ることができる半導体装置を提供することである。

【0011】

この発明の他の目的は、オン抵抗を低減できる半導体装置を提供することである。

【0012】

【課題を解決するための手段および発明の効果】

上記の課題を解決するための請求項1記載の発明は、半導体基板(2)の表層部に形成された第1導電型のチャネル領域(4)と、このチャネル領域を貫通して形成されたトレンチ(5)の縁部に形成された上記第1導電型とは異なる第2導電型のソース領域(5)と、上記トレンチの内壁面に沿って形成されたゲート酸化膜(6)と、上記トレンチ内において、上記ゲート酸化膜を挟んで上記チャネル領域に対向するように配置されたゲート電極(9)とを含み、上記トレンチの内壁面は、面方位が(100)である第1の内側壁面(5s₁)と、この第1の内側壁面とは面方位が異なる第2の内側壁面(5s₂)と、主たる面方位が上記第1の内側壁面より原子の面密度が大きい面方位である底面(5b)とを含んでおり、上記ソース領域が、上記第2の内側壁面に沿う上記ゲート酸化膜近傍の領域を回避して形成されていることを特徴とする半導体装置(1)である。

【0013】

なお、括弧内の数字は、面方位を表すものを除き、後述の実施形態における対応構成要素等を表す。以下、この項において同じ。

この発明によれば、チャネル領域を挟んでソース領域と半導体基板側との間に一定の電圧を印加し、ゲート電極を所定の電位にすることにより、チャネル領域中のゲート酸化膜近傍に、電流(ドレイン電流)を流すことができる。

トレンチの内壁面において、第1の内側壁面の面方位は(100)であり、底面の主たる面方位は、面方位が(100)である面より原子の面密度が大きい。トレンチの内壁面を熱酸化させてゲート酸化膜を形成する場合、原子の面密度が大きい面ほどゲート酸化膜の厚さは大きくなる。したがって、ゲート酸化膜のうち、第1の内側壁面に沿う部分より底面に沿う部分の方が膜厚が大きくなる。こ

れにより、トレンチ底部のゲート酸化膜による容量を低減して、ゲート容量 Q_g を全体的に低くすることができる。したがって、オン抵抗を低減しつつ、半導体装置のスイッチング特性の向上を図ることができる。

【0014】

また、ゲート酸化膜の形成条件が同じ場合、面方位が (100) とは異なる面とゲート酸化膜との界面における単位面積あたりの電荷密度（界面電荷密度） Q_{SS} は、面方位が (100) である面とゲート酸化膜との界面電荷密度 Q_{SS} と比べて大きくなる傾向がある。チャネル領域において、界面電荷密度 Q_{SS} が小さい面に沿ってチャネルが形成されると、ゲートしきい値電圧の変動が増大する等の要因により、半導体装置の動作の信頼性が低下する。

【0015】

この発明によれば、ソース領域が、 (100) 面とは異なる第2の内側壁面に沿うゲート酸化膜近傍の領域を回避して形成されていることにより、界面電荷密度 Q_{SS} が小さい面沿ってチャネルが形成される事態を防止できる。これにより、半導体装置の高い信頼性が確保される。

半導体基板の表層部にはエピタキシャル層が形成されていてもよく、チャネル領域やソース領域は、このエピタキシャル層に不純物を導入することにより形成されていてもよい。エピタキシャル層は半導体基板と同じ結晶学的方位を有しており、また、不純物の導入により結晶学的方位が変化することはない。半導体基板は、たとえば、シリコンからなるものとすることができる。

【0016】

請求項2記載の発明は、上記半導体基板の表面は、面方位が (100) である面より原子の面密度が大きい面方位を有することを特徴とする請求項1記載の半導体装置である。

半導体基板に対して垂直に形成されたトレンチ底面の主たる面方位は、半導体基板表面の面方位とほぼ同じになる。したがって、この発明によれば、半導体基板に対して垂直に形成されたトレンチの底面を、面方位が (100) である面より原子の面密度が大きいものとすることができ、第1の内側壁面より厚く酸化させることができる。

【0017】

半導体基板表面の面方位は、たとえば、請求項3記載のように(110)とすることができる。この場合、半導体基板に垂直に形成されたトレンチ底面の主たる面方位は(110)となる。

シリコンの結晶において、原子(シリコン)の面密度は、面方位が(100)である面では 6.8×10^{14} 個/cm²であり、面方位が(110)である面では 9.6×10^{14} 個/cm²である。したがって、上述のように、トレンチ内壁面の熱酸化により、ゲート酸化膜を第1の内側壁面に沿う部分で薄く、底面に層部分で厚くすることができる。

【0018】

請求項4記載の発明は、上記トレンチが、上記半導体基板の表面および上記第1の内側壁面に沿ってほぼ平行に延び、横方向に配列された複数のトレンチ(5)を含み、隣接する2つの上記トレンチの間において、一方の上記トレンチの縁部に形成された上記ソース領域と他方の上記トレンチの縁部に形成された上記ソース領域との間に形成され、不純物の導入により低抵抗化された上記第1導電型の低抵抗領域(8)をさらに含み、上記低抵抗領域が、上記第2の内側壁面に沿って配置されていることを特徴とする請求項1ないし3のいずれかに記載の半導体装置である。

【0019】

この発明によれば、この半導体装置を含む回路において、この半導体装置に逆起電力が与えられた場合、電流は抵抗が低い低抵抗領域を流れ、チャネル領域においてチャネルが形成される領域には流れないようにになっている。これにより、この半導体装置の逆起電力に対する破壊耐量が大きくされている。

さらに、第2導電型の低抵抗領域が第2の内側壁面に沿って配置されていることにより、チャネル領域において第2の内側壁面に沿う領域にチャネルが形成されることを確実に防止できる。

【0020】

請求項5記載の発明は、上記第1の内側壁面の上記半導体基板表面に沿う長さが、上記第2の内側壁面の上記半導体基板表面に沿う長さより長いことを特徴と

する請求項 1 ないし 4 のいずれかに記載の半導体装置である。

この発明によれば、ソース領域は、半導体基板の表面および第 1 の内側壁面に沿って長く形成できる。したがって、チャンネル領域においてチャンネルが形成される領域を広くすることができるので、半導体装置のオン抵抗を低減できる。

【0021】

【発明の実施の形態】

以下では、添付図面を参照して、本発明の実施の形態について詳細に説明する。

図 1 は、本発明の一実施形態に係る MOS FET 1 を一部破断して示す図解的な斜視図である。

シリコン基板 2 の表面には、導電型が N-型のエピタキシャル層 3 が形成されている。エピタキシャル層 3 の上には、導電型が P-型の P-領域 4 が形成されている。

【0022】

P-領域 4 を貫通して、エピタキシャル層 3 の厚さ方向途中に至る複数のトレンチ 5 が形成されている。トレンチ 5 は、シリコン基板 2 にほぼ垂直に形成されている。トレンチ 5 は、シリコン基板 2 の表面に沿う方向（図 1 に示す MOS FET 1 の断面に垂直な方向）に延びている。トレンチ 5 は、互いにほぼ平行に横方向に配列されている。

トレンチ 5 の内壁面に沿って、酸化シリコンからなるゲート酸化膜 6 が形成されている。また、トレンチ 5 の縁部には、導電型が N+型のソース領域 7 が形成されている。2つのトレンチ 5 の間において、一方のトレンチ 5 の縁部に形成されたソース領域 7 と他方のトレンチ 5 の縁部に形成されたソース領域 7 との間には、導電型が P+型の P+領域 8 が形成されている。P+領域 8 は、不純物が高濃度に導入されて、P-領域 4 に比して導電率が大きく（低抵抗化）されている。

【0023】

トレンチ 5 の内部には、不純物の導入により導電化されたポリシリコンからなるゲート電極 9 が設けられている。したがって、ゲート電極 9 は、トレンチ 5 と同じ方向に延びている。

ゲート電極 9 の上には、酸化シリコンからなる絶縁層 10 が形成されている。絶縁層 10 は、ゲート電極 9 が形成されている領域の全てを覆うように形成されているが、図 1 では一部のみを示している。ソース領域 7、P⁺領域 8、および絶縁層 10 の上には、ソース領域 7 の取り出し電極をなす図示しない金属膜が形成されている。

【0024】

シリコン基板 2 には図示しない電極が形成されており、この電極と金属膜との間に一定の大きさの電圧を印加し、ゲート電極 9 を所定の電位にすることにより、ソース領域 7 とエピタキシャル層 3 との間に電流（ドレイン電流）を流すことができる。ドレイン電流は、P⁻領域 4 において、ゲート酸化膜 6 近傍をゲート酸化膜 6 に沿って流れる。すなわち、P⁻領域 4 中でゲート酸化膜 6 近傍の部分にチャンネルが形成される。

【0025】

-----この MOS FET 1 を含む回路において、この MOS FET 1 に逆起電力が与えられた場合、電流は抵抗が低い P⁺領域 8 を流れ、P⁻領域 4 においてチャンネルが形成される領域には流れないようにになっている。これにより、MOS FET 1 の逆起電力に対する破壊耐量が大きくされている。

図 2 は、製造工程途中の MOS FET 1 のトレンチ 5 に垂直な断面図である。

【0026】

図 1 および図 2 を参照して、シリコン基板 2 表面の面方位は (110) である。したがって、エピタキシャル層 3 の表面（シリコン基板 2 の表面に平行な面）の面方位も (110) である。また、P⁻領域 4、ソース領域 7、および P⁺領域 8 は、導電型が N-型のエピタキシャル層 3 の表層部に不純物を導入して形成されるので、シリコン基板 2 やエピタキシャル層 3 と同じ結晶学的方位を有している。

【0027】

トレンチ 5 の内側壁面 5s のうちトレンチ 5 の長さ方向に沿う面（以下、「第 1 の内側壁面 5s₁」という。）は、面方位が (100) になるように形成され

ている。このため、ドレイン電流は、P-領域4中で第1の内側壁面5s₁に沿う領域を、面方位が(100)である面(以下、「(100)面」という。)に沿って流れる。

シリコン結晶中で、キャリアの移動度は、(100)面に沿う方向で、他の面方位を有する面に沿う方向より大きくなる。また、(100)面の界面電荷密度Q_{SS}は、他の面方位を有する面の界面電荷密度Q_{SS}より小さい。これらのことにより、シリコン表面(ゲート酸化膜6とP-領域4との界面)での電界効果が効率的に生じてチャンネルが形成されるので、P-領域4において第1の内側壁面5s₁に沿う部分のオン抵抗は低くなる。

【0028】

また、トレンチ5の底面5bは、ほぼ第1の内側壁面5s₁に垂直(シリコン基板2の表面に平行)になっている。したがって、底面5bの主たる面方位は、(110)である。

次に、ゲート酸化膜6において、第1の内側壁面5s₁に沿う部分の容量と底面5bに沿う部分の容量とを比較する。一般に、誘電体(絶縁体)を挟んで電極が対向配置されているときの容量Cは、 $\epsilon S/d$ で表される。ここで、 ϵ は誘電体の誘電率であり、Sは誘電体において電極が対向されている部分の面積であり、dは誘電体において電極が対向配置された部分の厚さである。

【0029】

ゲート酸化膜6は酸化シリコンからなるので、その誘電率はほぼ一定である。したがって、ゲート酸化膜6において、第1の内側壁面5s₁に沿う部分の単位面積あたりの容量C_{GS}と底面5bに沿う部分の単位面積あたりの容量C_{GD}とは、ゲート酸化膜6の膜厚により決定される。

ゲート酸化膜6は、トレンチ5の内面を熱酸化して形成される。シリコンの結晶を熱酸化させて得られる酸化膜の厚さは、結晶面におけるシリコン原子の面密度が大きいほど厚くなる。結晶面のシリコン原子の面密度は面方位ごとに異なり、たとえば、(100)面では 6.8×10^{14} 個/cm²であり、面方位が(110)である面(以下、「(110)面」という。)では 9.6×10^{14} 個/cm²であり、面方位が(111)である面では 11.8×10^{14} 個/cm²である。

【0030】

したがって、ゲート酸化膜6のうち第1の内側壁面5s₁に沿う部分の厚さd(100)は、底面5bに沿う部分の厚さd(110)より薄くなる($d(100) < d(110)$)。このため、ゲート酸化膜6のうち、底面5bに沿う部分の単位面積あたりの容量C_{GD}は、第1の内側壁面5s₁に沿う部分の単位面積あたりの容量C_{GS}より小さくなる($C_{GS} > C_{GD}$)。以上のことから、このMOS FET 1は、従来のようにゲート酸化膜57が全体的に薄く形成されていた場合(図4参照)と比べて、ゲート容量Q_gを全体として低減できるので、オン抵抗を低減しつつスイッチング特性の向上を図ることができる。

【0031】

図3は、図1に示すMOS FET 1のトレンチ5が形成された面を見下ろす図解的な平面図である。図3では、絶縁層10は図示を省略している。

トレンチ5の内側壁面5-sは、第1の内側壁面5-s₁にはほぼ直交する第2の内側壁面5s₂を含んでいる。トレンチの底面5b(シリコン基板2の表面)が(110)面であること、および第1の内側壁面5s₁が(100)面であることから、第2の内側壁面5s₂は(110)面となっている。したがって、第2の内側壁面5s₂に沿うゲート酸化膜6は、底面5bに沿うゲート酸化膜6と同様、第1の内側壁面5s₁より厚さが厚い。

【0032】

ソース領域7は、トレンチ5の縁部のうち、第1の内側壁面5s₁に沿う領域にのみ形成されている。すなわち、ソース領域7は、第2の内側壁面5s₂に沿うゲート酸化膜6近傍の領域を回避して形成されている。ゲート酸化膜6を挟んでゲート電極9に対向する領域には、P⁺領域8が形成されている。

P⁻領域4において、界面電荷密度Q_{SS}が小さい面に沿ってチャネルが形成されると、ゲートしきい値電圧の変動が増大する等の要因により、MOS FET 1の動作の信頼性が低下する。ソース領域7が、(110)面である第2の内側壁面5s₂に沿って形成されていないことにより、P⁻領域4において(110)面に沿ってチャネルが形成される事態を回避できる。これにより、MOS FE

T 1 の高い信頼性が確保される。

【0033】

さらに、第2の内側壁面 5 s₂に沿ってP⁺領域8が形成されていることによって、P⁻領域4において第2の内側壁面 5 s₂に沿う領域にチャンネルが形成されることを確実に防止できる。

第1の内側壁面 5 s₁のシリコン基板2表面に沿う長さは、第2の内側壁面 5 s₂のシリコン基板2表面に沿う長さより長い。これにより、ソース領域7は、シリコン基板2の表面および第1の内側壁面 5 s₁に沿って長く形成されているので、シリコン基板2の単位面積あたりのソース領域7は広がっている。したがって、P⁻領域4においてチャンネルが形成される領域は広がるので、このMOS FET 1のオン抵抗は低い。

【0034】

この発明の一実施形態の説明は、以上の通りであるが、この発明は他の形態でも実施することもできる。たとえば、以上の実施形態に係る半導体装置は、いずれもNチャネルトランジスタの例であるが、半導体装置はPチャネルトランジスタであってもよい。半導体装置は、MOS FET以外に、たとえばIGBT(Insulated Gate Bipolar Transistor)などの半導体装置であってもよい。

その他、特許請求の範囲に記載された事項の範囲で種々の変更を施すことが可能である。

【図面の簡単な説明】

【図1】

本発明の一実施形態に係るMOS FETを一部破断して示す図解的な斜視図である。

【図2】

製造工程途中のMOS FET のトレンチに垂直な断面図である。

【図3】

図1に示すMOS FETのトレンチが形成された面を見下ろす図解的な平面図である。

【図4】

従来の MOS FET の製造工程途中の状態を示す図解的な断面図である。

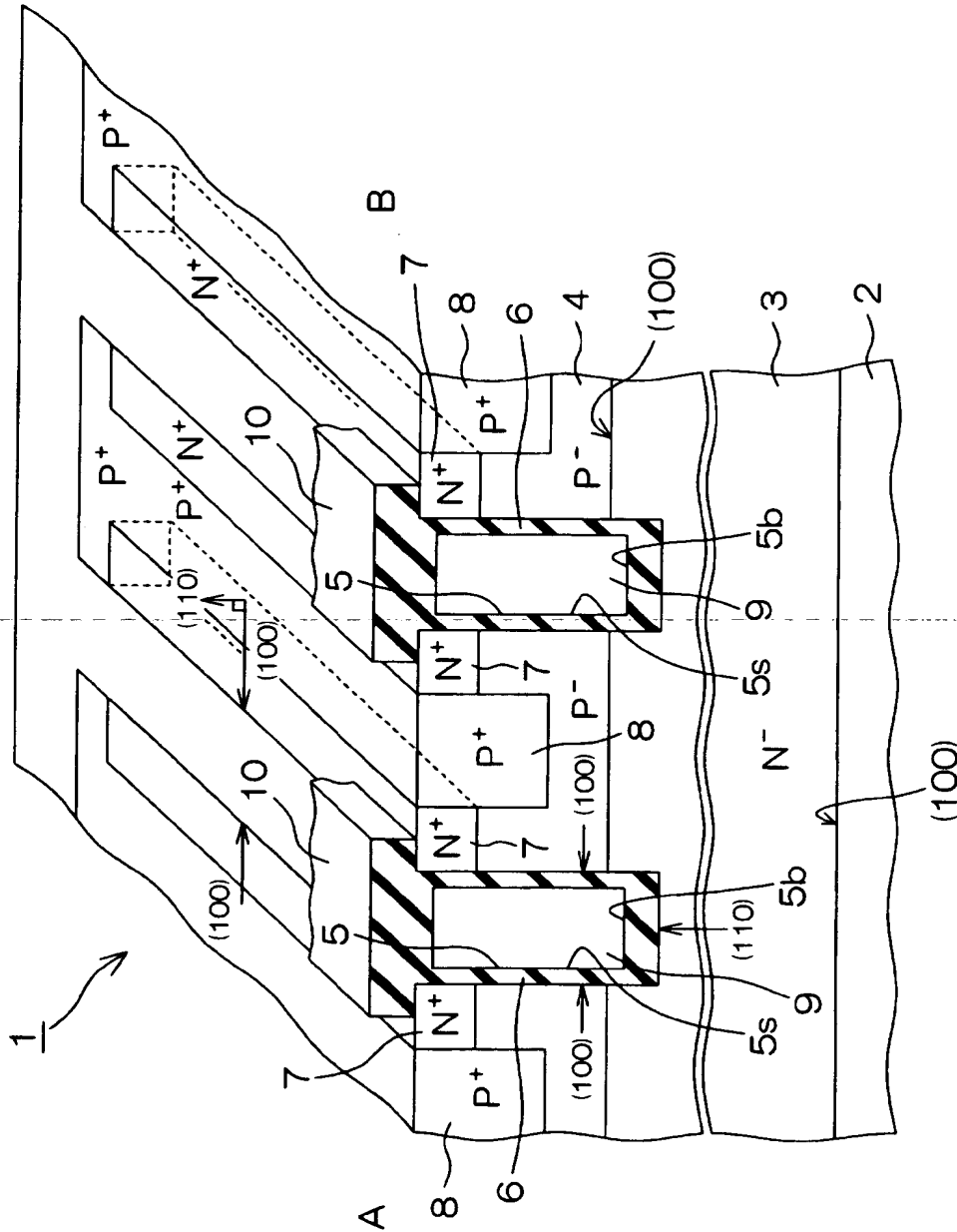
【符号の説明】

- 1 MOS FET
- 2 シリコン基板
- 3 エピタキシャル層
- 4 P-領域
- 5 トレンチ
- 5 s₁ 第 1 の内側壁面
- 5 s₂ 第 2 の内側壁面
- 5 b 底面
- 6 ゲート酸化膜
- 7 ソース領域
- 8 P+領域
- 9 ゲート電極

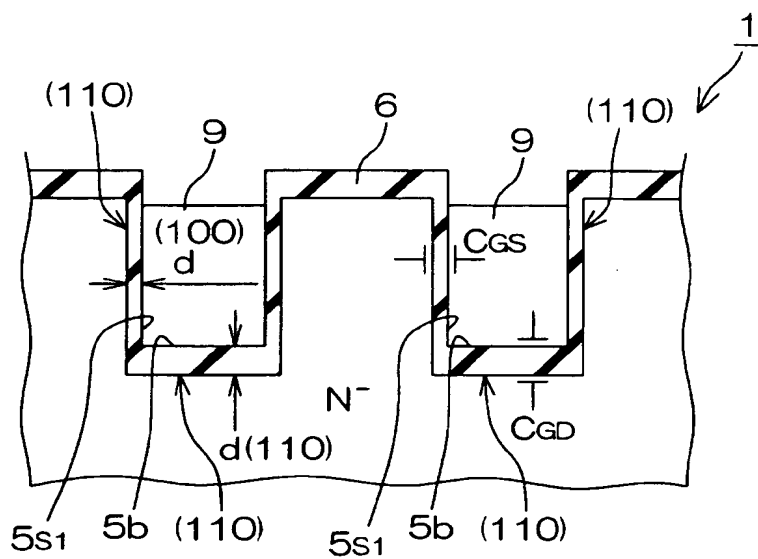
【書類名】

図面

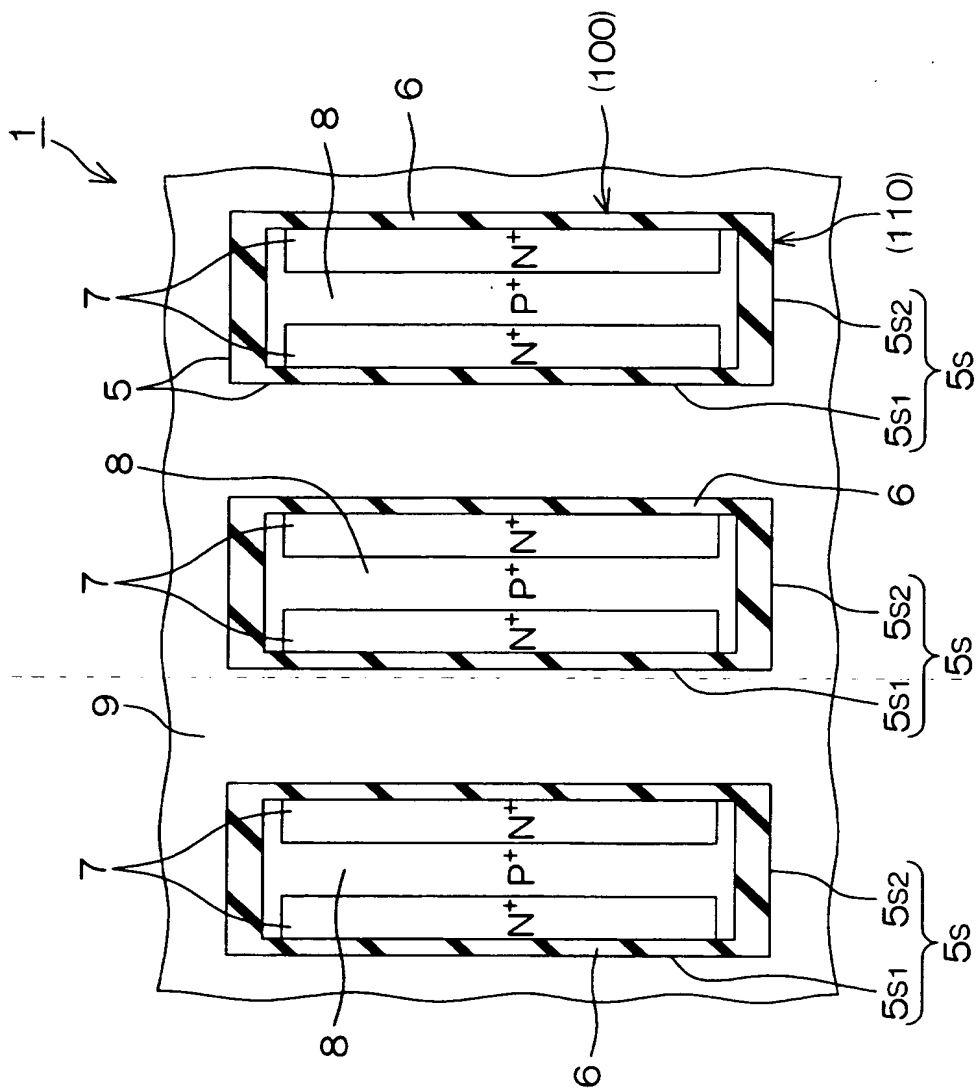
【図 1】



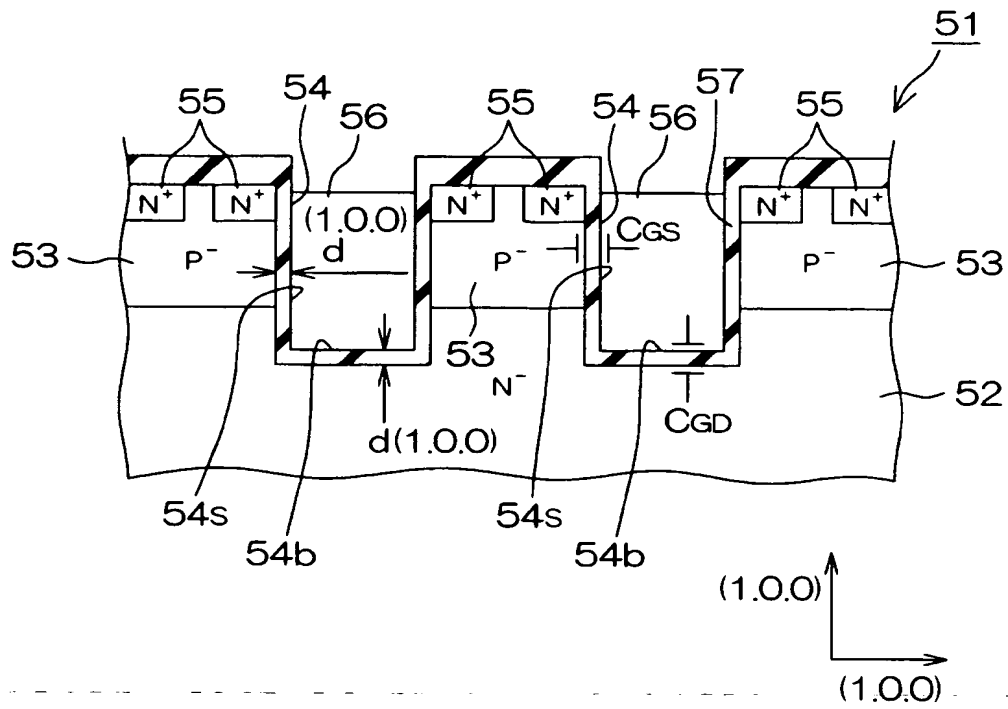
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 スイッチング特性の向上を図ることができる半導体装置を提供する。

【解決手段】 この半導体装置 1 は、シリコン基板上にトレンチ 5 が形成されており、トレンチ 5 の内部にはゲート電極 9 が配置されている。トレンチ 5 の内側壁面は、面方位が (100) である第 1 の内側壁面 5 s₁ と、面方位が (110) である第 2 の内側壁面 5 s₂ とを含んでいる。トレンチ 5 の内壁面に沿って、ゲート酸化膜 6 が形成されている。第 1 の内側壁面 5 s₁ に沿うゲート酸化膜 6 を挟んでゲート電極 9 に対向する領域にソース領域 7 が形成されている。第 2 の内側壁面 5 s₂ に沿うゲート酸化膜 6 近傍の領域には、ソース領域 7 は形成されておらず、P⁺領域 8 が形成されている。

【選択図】 図 3

特願 2 0 0 3 - 0 9 9 5 7 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社